

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-347419

(43)Date of publication of application : 27.12.1993

(51)Int.Cl.

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 04-222571

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.08.1992

(72)Inventor : HISAMOTO MASARU

KUME HITOSHI

YADORI SHOJI

SAGARA KAZUHIKO

KIMURA SHINICHIRO

TAKEDA EIJI

MINAMI SHINICHI

(30)Priority

Priority number : 03218497

Priority date : 29.08.1991

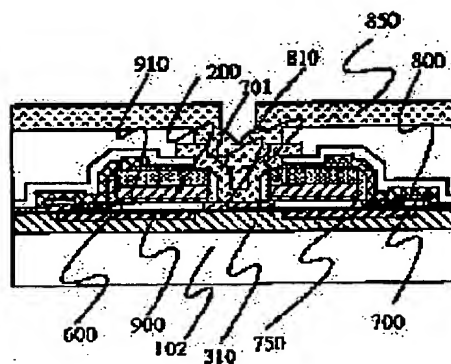
Priority country : JP

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a semiconductor memory which is suitable for realization of a high integration and a fine structure by a method wherein a memory cell which does not cause the lowering of charge for holding information even if the size of a selection transistor is reduced is provided.

CONSTITUTION: A memory cell is composed of a selection transistor composed of a MOS-FET which utilizes a word line 200 as gate, a writing element composed of a bipolar transistor having an isolated emitter electrode and a storage electrode 600 which is covered with an insulating layer and gives a field effect to the channel part of the selection transistor. With this constitution, the leakage of the charge of the storage electrode is avoided except at the time when the selection transistor and the writing element are operated simultaneously (i.e., at the time of writing), so that excellent charge holding characteristics can be maintained even if the size of the selection transistor is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-347419

(43)公開日 平成5年(1993)12月27日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

27/115

8728-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数6(全 12 頁)

(21)出願番号 特願平4-222571

(22)出願日 平成4年(1992)8月21日

(31)優先権主張番号 特願平3-218497

(32)優先日 平3(1991)8月29日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 久本 大

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 久米 均

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 宿利 章二

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体記憶装置

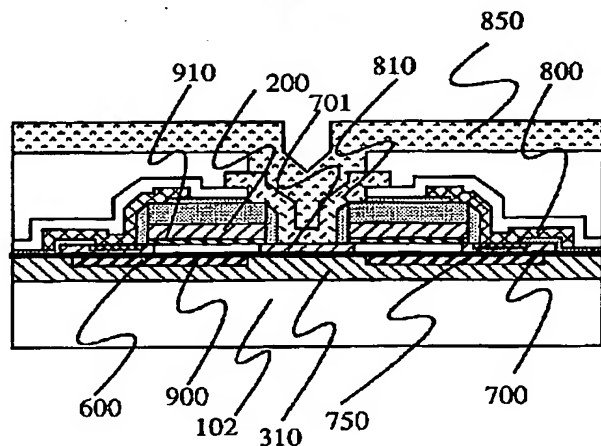
(57)【要約】

【目的】 本発明は高集積可能な微細化に適した半導体記憶装置を給するため、選択トランジスタを小さくしても情報を保持する電荷の減衰を引き起こさないメモリセルを可能とすることにある。

【構成】 メモリセルをワード線200をゲートとするMOSFETによる選択トランジスタと絶縁分離されたエミッタ電極をもつバイポーラトランジスタによる書込素子および選択トランジスタのチャンネル部に電界効果をあたえる絶縁層に覆われた蓄積電極600により構成する。

【効果】 蓄積電極の電荷は選択トランジスタおよび書込素子を同時に動作させたとき(書込時)以外では絶縁膜によりリークが妨げられるため、選択トランジスタを小さくしても、良好な電荷保持特性を維持することができる。

図1



1

【特許請求の範囲】

【請求項 1】半導体基板上に形成された絶縁ゲート型電界効果トランジスタからなる選択トランジスタと、キャリアの持つ電荷により情報を保持する記憶部からなる半導体記憶装置において、該記憶部が絶縁物で囲まれ、かつ、該記憶部の電荷量を変化させる該絶縁物に接する基板および導電型の異なる P N 接合を有する電極からなる書込素子を持つことを特長とする半導体記憶装置。

【請求項 2】上記半導体記憶装置において、選択トランジスタの閾値が該記憶部により制御されていることを特長とする半導体記憶装置。

【請求項 3】半導体基板上に形成された絶縁ゲート型電界効果トランジスタと、電子の持つ電荷により該絶縁ゲート型電界効果トランジスタの閾値を変える第 2 のゲート電極である記憶部を持つ書き換え可能型不揮発性半導体記憶装置 (E E P R O M) において、絶縁ゲート型電界効果トランジスタの一方の拡散層電極が、基板と異なる導電型を有する不純物により形成され、かつ該拡散層内に基板と同じ導電型を有する不純物により 2 重の不純物拡散層が形成され、該 2 重の拡散層がゲート絶縁膜に接する P N 接合を形成することを特長とする半導体記憶装置。

【請求項 4】請求項 1 乃至請求項 3 の何れかに記載の半導体記憶装置において、該 P N 接合を逆バイアスすることで生じるキャリアを該記憶部である第 2 のゲートに注入し、記憶部の電荷量を変えることを特長とする半導体記憶装置。

【請求項 5】請求項 1 乃至請求項 3 の何れかに記載の半導体記憶装置において、該 P N 接合を順バイアス状態で電流をとり出すことを特長とする半導体記憶装置。

【請求項 6】請求項 1 乃至請求項 3 の何れかに記載の半導体記憶装置において、絶縁物上に形成されていることを特長とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明構造は、高集積可能な微細化に適した半導体記憶装置に関する。

【0002】

【従来の技術】これまで最も高集積可能な半導体記憶装置として、シリコン基板上に形成された 1 つの選択トランジスタと 1 つの容量素子からなるダイナミック ランダムアクセス メモリ (D R A M) セル構造が知られている。このメモリセル 1 ビットを等価的に示した図 2 を用いて説明する。メモリセルは複数個をアレイ状に集積して形成されるが、ここでは、メモリセル 1 つの構造を説明する。この例において選択トランジスタは図中で示した M O S F E T により形成されている。情報を保持するコンデンサの蓄積電極は基板とは反対の導電型を持つ不純物により形成し、基板半導体との間に P N 接合をつくることで電氣的に分離されている。この蓄積電極は選

2

択トランジスタのソース又はドレインを形成する拡散層と接続している。また、選択トランジスタの、もう一つの拡散層はビット線につながるように配置されている。ゲート電極はワード線である。選択トランジスタがオフ状態となると、蓄積電極は周囲の電極と電氣的に分離されるため、情報を保持することができる。

【0003】

【発明が解決しようとする課題】図 2 に示した従来技術において、蓄積電極に保持情報として蓄積されている電荷は、基板との接合および選択トランジスタのリーク電流等のため、時間とともに減少する。そのため、電荷量として記憶されていた情報も消失される。そこで、情報が消失するよりも短い適当な時間毎にデータを読み出し、再度書き直すリフレッシュと呼ばれる動作を行なう必要がある。リフレッシュ動作は、ビット線等配線の持つ大きな容量を充放電するため、多くの電力が消費され、D R A M の大きな課題となっている。リフレッシュの間隔はひとつには、蓄積電荷量により決まるため、時間当たりのリフレッシュ回数を減らすには蓄積電荷を多くする必要がある。しかし、容量素子の蓄積電荷量は、容量素子の面積に比例するため、メモリセルを高集積化、すなわち素子が小さくなると、蓄積電荷量が減少し、リフレッシュ回数の増大とともに消費電力増大が大きな問題となってくる。

【0004】さらに、M O S F E T による選択トランジスタも素子寸法を小さくするとソース、ドレインの拡散層間を流れるリーク電流が増大しやすくなる短チャネル効果と呼ばれる現象が生じてくる。そのため高集積化を進めるとオフ状態の保持が困難になり、蓄積電荷をリークさせる大きな要因となる。

【0005】よって、本発明は現状の半導体記憶装置のもつ上記課題に鑑み、電荷リークを抑え、選択トランジスタを小さくしても情報を保持する電荷の減衰を引き起こさないメモリセルを可能とすることにある。

【0006】

【課題を解決するための手段】上記目的は、半導体基板上に形成された絶縁ゲート型電界効果トランジスタからなる選択トランジスタと、キャリアの持つ電荷により情報を保持する記憶部からなる半導体記憶装置において、該記憶部が絶縁物で囲まれ、かつ、該記憶部の電荷量を変化させる該絶縁物に接する基板および導電型の異なる P N 接合を有する電極からなる書込素子を持つことにより達成される。

【0007】言い換えると、メモリセルをワード線 200 をゲートとする M O S F E T による選択トランジスタと絶縁分離されたエミッタ電極をもつバイポーラトランジスタによる書込素子および選択トランジスタのチャンネル部に電界効果をあたえる絶縁層に覆われた蓄積電極 600 により構成する。

【0008】

3

【作用】蓄積電極の電荷は選択トランジスタおよび書込素子を同時に動作させたとき（書込時）以外では絶縁膜によりリークが妨げられるため、選択トランジスタを小さくしても、良好な電荷保持特性を維持することができる。さらにその絶縁膜をトンネルするキャリアを制御する書き込み素子により容量部にアクセスし、少数の電荷により保持された情報をトランジスタ出力として増幅することができる。

【0009】つぎにメモリ動作について、図3から図7を用いて説明し、本発明構造が上記課題の解決に有効であることを示す。

【0010】本発明によるメモリセルは、従来セルと同様な選択トランジスタと、情報に対応した電荷を蓄える蓄積電極による記憶部、および、蓄積電極への書込素子からなっている。図3に本発明構造の特長の一つである書込素子の等価的な表示を示し、これを用いて図4に本発明構造のメモリセルを等価的に示す。図4において850はビット線、200はワード線、800はプレート線である。破線枠Aで示した領域が選択トランジスタ、破線枠Bは書込素子、600が記憶部である。選択トランジスタは従来のSOIのMOSFET構造であり、書込素子はエミッタ、ベース電極間にトンネル絶縁膜を設けたバイポーラトランジスタにより形成されている。このため、記憶部600は周囲を完全に絶縁物で覆われている。

【0011】図3の書込素子の構造を、簡単化して図5に示す。記憶部の電極600をエミッタと絶縁膜900を挟んでN型半導体層700によるベース電極およびP型半導体層750によるコレクタ電極からできている。ベース、コレクタ間にPN接合が形成するため、ベース700をP型、コレクタ750をN型で形成しても良い。ここでは、ベースをN型、コレクタをP型を用いて説明する。

【0012】図6にベース、コレクタ間に逆バイアスを加えたときの様子をバンド図を用いて示す。接合中で生じた電子はベースとコレクタ間のポテンシャル差により高エネルギー状態になっているため、絶縁膜900のポテンシャル障壁を越えて電極600に流れ込む。そのため電極600では電子が蓄積され、その電荷により電位が下がる。一般に絶縁膜のポテンシャル障壁を越えてキャリアを注入するメカニズムには、直接トンネリングやホットキャリア注入等の様々なものが知られているが、これらの電流成分を完全に分離することは困難である。そこで、以下ここでは、こうした絶縁膜の高いポテンシャル障壁を通してキャリアが移動するメカニズムを総称して“トンネル”と呼ぶことにする。

【0013】一方、図7に示すようにベース、コレクタ間を順バイアスすると、コレクタよりベースに流れ込んだ正孔が絶縁膜900をトンネルして電極600に流れ込む。そのため、正孔の電荷により電極600の電位は

4

上昇する。

【0014】よって、この書込素子動作により記憶部には、高低2つの電位状態を与えることができる。また、図2に示したこれまでのDRAMセルでは、選択トランジスタが直接情報保持を果す容量素子の蓄積電荷のリークを支えていたため、選択トランジスタを小さくすることで電流リークが増えると記憶部の電位状態の保持が困難になっていた。しかし、本発明構造では、選択トランジスタのソース、ドレイン間のリークが起きても、直接情報を保持している記憶部600に影響することがない。そのため、選択トランジスタを小さくすることが容易である。

【0015】本メモリセルでは書込素子を制御するベース電極は、選択トランジスタを介してビット線850につながる。以下上記書込素子特性をもとにメモリセル動作を説明する。

【0016】（1）情報保持状態

選択トランジスタがオフ状態では、ベースはコレクタ電位との平衡状態に保たれるため、書込素子もオフ状態となる。よって、記憶部600の電荷は維持される。

【0017】（2）書込状態

選択トランジスタがオン状態では、ベース電位がビット線850の電位に固定される。よって、ビット線電位に応じて上記書込素子の動作を行ない、記憶部の電荷状態を書き込む。これにより、記憶部600が高電位るとき選択トランジスタの閾値は V_h 、低電位るとき V_l となる。

【0018】（3）読み出し状態

選択するセルにつながるビット線電位をコレクタ電位に比べ順バイアスに設定し、ワード線電位を V_l と V_h の中間電位に立ち上げる。コレクタ、ビット線間に電流をみることで、選択トランジスタの状態、すなわち、記憶部600の電位情報を読みだすことができる。図42にトランジスタ特性を示す。トランジスタはゲート電圧 V_g に対して極めて急峻なスイッチング特性を示すことが知られている。そのため、それぞれ V_h と V_l の閾値を持つトランジスタがあるとき、中間電位 V_m に立ち上げるとチャネル電流が大きく変えることができる。読みだし時のビット線電位を、書込素子の順バイアス書込の閾値以下にすることで、情報を非破壊で読みだすことができる。このとき、他のビット線はコレクタ電位に対して逆バイアス状態にすることで、消費電流を抑えることができる。

【0019】

【実施例】図1を用いて本発明構造について説明する。図1は同じビット線コンタクトを共有する2ビットのメモリセルの断面構造を示したものである。ビット線850はビット線接続層810を介して半導体に高濃度に不純物を導入することで導電化することで形成された電極701に接続している。電極700、701およびワー

5

ド線 200 により選択トランジスタが形成されている。ワード線 200 は絶縁膜 910 を介して基板に形成される 700、701 間を流れるチャンネル電流を電界効果により制御するゲート電極である。電極 700 は、電極下面にトンネル絶縁膜 900 を挟んで電極 600 と対向している。電極 600 は該絶縁膜 900 および絶縁膜 310 により周囲を囲まれ、他電極と導電層による電氣的接続がない。また、電極 700 の上部に 700 とは反対の導電型をもつ不純物を高濃度に関り導電化した電極層 750 が形成されている。電極 750 は配線 800 に接続している。

【0020】まず記憶部について動作の概略を説明する。電極 750 と電極 700 に形成されている PN 接合により生成されたキャリアが、トンネル絶縁膜 900 をトンネリングすることで電極 600 に導入される。そのため、このキャリアのもつ電荷により、記憶電極 600 の電位は書き換えられる。また、記憶部である電極 600 に導入されたキャリアは、導電層による接続がないため減衰することがない。

【0021】次に、選択トランジスタの動作を説明する。本発明構造では、選択トランジスタが記憶部の情報書換およびデータ読み出しに用いられている。情報の書込において、選択トランジスタによりビット線電位を書込素子の電極 700 と関ることで、書き込む情報を記憶部に伝える働きをする。

【0022】また選択トランジスタは、データ読み出し時に記憶情報をトランジスタ特性の変化に変換する働きをする。すなわち、選択トランジスタは電極 600 が絶縁膜 900 を挟んでチャンネル部に接しているため、電極 600 も絶縁膜 900 を介して電界効果を電極 700 および 701 間のチャンネルに及ぼす。この電極 600 の電位が変わると選択トランジスタのワード線 200 に対する閾値が変わり、選択トランジスタの出力も大きく変化する。そのため、選択トランジスタを介して記憶部の情報を容易に読みだすことができる。

【0023】次に図 1 に示した本発明の実施例 1 について、図 8 から図 19 を用いて形成法を基に説明する。

【0024】(図 8) P 型シリコン単結晶基板 (101) 上にシリコン酸化膜 (300) および P 型単結晶シリコン (100) を有する SOI (Silicon on insulator) 基板上に厚さ 30 Å の薄い酸化膜 900 を形成する。

【0025】(図 9) 上記基板上に高濃度に不純物を含むことで導電化した多結晶シリコンを気相成長法により 100 nm 堆積し、既知のホトレジスト法を用いてパターンニングすることで電極 (記憶部) 600 を形成する。

【0026】(図 10) 上記基板上にシリコン酸化物 310 を堆積し、さらにシリコン基板 102 を置いて熱処理し、酸化物層 310 と基板 102 を接着する。

6

【0027】(図 11) シリコン 102 を基板として、出発時の基板 101 およびシリコン酸化膜 300 をエッチングすることで、単結晶シリコン層 100 を基板表面に露出させる。

【0028】(図 12) シリコン層 100 に下部の電極 600 に合わせてアクティブ領域をパターンニングし素子間のシリコン層をエッチングすることで、素子分離領域を形成する。

【0029】(図 13) シリコン 100 表面に熱酸化により 4 nm の酸化膜 910 を形成し、さらに高濃度に不純物を含むことで導電化した多結晶シリコン 200 およびシリコン酸化物層 350 を気相成長法により堆積する。この多結晶シリコンおよびシリコン酸化物層をレジストをマスクに異方的にエッチングし、ワード線 200 を形成する。この工程は従来 MOSFET のゲート電極形成と同様に行なうことができる。

【0030】(図 14) 上記基板上にシリコン酸化物を 50 nm 気相成長法により一様に堆積したのち、異方的にエッチングすることで、ワード線 200 および 350 側面にシリコン酸化物層 (スペーサ) 360 を形成する。このワード線等をマスクにしてイオン打ち込み法を用いてシリコン基板 100 に砒素を高濃度ドーピングすることで、電極 700 および 701 を形成する。

【0031】(図 15) 気相成長法によりシリコン酸化膜 365 を 30 nm 堆積し、ホトレジスト法を用いたパターンニング法により、拡散層 700 上の一部を開口する。

【0032】(図 16) ボロンを高濃度含んだ多結晶シリコンを気相成長法により 200 nm 堆積し、700 上に形成した開口にあわせ加工し、プレート電極 800 を形成する。このとき、開口を通して電極 700 中に拡散したボロンがコレクタ 750 を形成する。

【0033】(図 17) 上記基板上にシリコン酸化膜 370 を気相成長法により堆積する。

【0034】(図 18) ワード線 200 間をパターンニングしてシリコン絶縁物 370 等をエッチングすることで電極層 701 を開口し、高濃度にリンを含んだ多結晶シリコンを堆積したのち加工することで、ビット線接続層 810 を形成する。

【0035】(図 19) 集積半導体装置の既知の配線形成工程と同様に、絶縁物を堆積したのちビット線接続層 810 等にコンタクトホールを開口し、さらに金属材料により配線 850 を形成することで第 1 図の半導体装置が得られる。

【0036】この半導体装置では、同一プレート線につながるメモリセルに同じ情報を同時に書き込むことができる。よって、プレート線をメモリセルアレイ毎に分離加工することで、アレイ単位で書込動作させる構成をとることができる。

【0037】上記実施例では記憶部 600 の形成をさき

7

に行なったが、図 20 から図 24 に示す実施例 2 のようにシリコン層 100 と同時に加工することでパターンングを自己整合化することができる。

【0038】(図 20) 多結晶シリコン層 600 は加工せずに一様に堆積したまま、図 8 から図 11 と同様にして基板を得る。

【0039】(図 21) シリコン層 100 加工時に酸化膜 900 および多結晶シリコン 600 を連続してエッチングする。

【0040】(図 22) ワード線加工後、シリコン酸化膜 365 を堆積しワード線間のみ開口する。このとき、シリコン 100 も酸化膜 900 まで同時に加工する。さらに、熱窒化によりシリコン 100 側面にシリコン窒化膜 382 を形成する。

【0041】(図 23) 上記基板表面のシリコン酸化膜 900 を異方的にエッチングし、多結晶シリコン 600 を露出させ、ワード線等をマスクに異方的にエッチングすることでアクティブであるシリコン層 100 およびワード線 200 に自己整合的に記憶部 600 を加工することができる。

【0042】(図 24) 上記基板を酸化し、600 側面にシリコン酸化膜 325 を成長させる。窒化膜 382 をエッチングしてから、ビット線接続層 810 を形成する。以下、実施例 1 と同様に書込素子等を形成することができる。

【0043】上記実施例では、記憶部をゲート電極と異なる面に形成し、チャンネルを挟む形をとっているが、本発明の特長である書き込み素子を用いた構造を応用し、図 26 に示すようにゲート電極と記憶部を同じ側に重ねて形成することもできる。図 26 に実施例 3 を示す。以下 P 型基板上に形成されたメモリセルを用いて説明する。第 1 ビット線 1610 は P 型不純物の拡散層電極 1320 に接続している。この拡散層 1320 は N 型不純物拡散層電極 1310 に囲まれ、1320 と基板 1500 は、1310 により分断されている。第 2 ビット線 1620 は、N 型不純物拡散層 1200 に接続されている。拡散層 1200 と 1310 は、第 1 ゲート 1120 および第 2 ゲート 1110 により絶縁ゲート型電界効果トランジスタを形成している。チャンネル部を覆うように配置された第 2 ゲート電極 (記憶部) は、周囲を絶縁物に覆われ他電極と導電層による電気的接続がなく、主として第 1 ゲート電極 1120 による絶縁物層 1910 を介した容量結合により電位が与えられる。本実施例では、通常の書き換え可能型不揮発性半導体記憶装置 (EEPROM) 等に習い、これらの電極を、1200 をソース電極、1310 をドレイン電極、1320 をベース電極、1110 の記憶部をフローティングゲート電極、1120 を制御ゲート電極と呼ぶことにする。

【0044】この実施例 3 の半導体記憶装置は、通常のフローティングゲート型の EEPROM と同様に、フロ

8

ーティングゲートの持つ電荷量により制御ゲートからみたトランジスタの閾値を変化させ、チャンネルの形成の有無として情報を読みだすものである。そこでメモリ動作をするフローティングゲートへの情報の書込消去動作の概略を説明する。

【0045】制御ゲートの電位を正方向に上げ、フローティングゲートを介してソース、ドレイン間のチャンネルを強反転させ、オン状態にする。ドレインにチャンネルを介し、ソースより電位を与え、ドレインとベースの PN 接合に逆バイアスを印加する。逆バイアスにより生じる接合の降伏現象により高エネルギー状態にあるキャリアが生成され、電子がゲート絶縁膜 1920 を越えてフローティングゲートに導入される。そのため、このキャリアのもつ電荷により、フローティングゲートの電荷量が書き換えられる。フローティングゲートに導入されたキャリアは、導電層による接続がないため減衰することがない。

【0046】消去動作時には、ゲートの電位を基板、ベース電極に対し低くすると、ベース、基板間のドレイン表面にチャンネルが生じる。このチャンネルの電界により生じたホールが絶縁膜 1920 を越えて、フローティングゲートの注入される。また、フローティングゲートに対しベースが正方向にバイアスされるため、フローティングゲートからベースに電子が引き抜かれる。このため、フローティングゲート中の電子が減少させることができる。この消去動作は、実施例 1 にも用いることができる。

【0047】次に、読み出し動作を説明する。ソース電極に対しベースを高電位にし、制御ゲートを正方向にバイアスする。フローティングゲートの電位がチャンネルの閾値を越えた場合には、チャンネルがオン状態となり、ソース、ドレイン間が導通し、ドレインとベースが順方向にバイアスされるため、ソース、ベース間に電流が流れる。一方、フローティングゲート電位が閾値以下のときは、チャンネルは形成されず、ソース、ベース間には電流が流れない。よって、このソース、ベース間の導通状態により、情報を容易に読みだすことができる。

【0048】情報保持状態では、ベース、ドレイン間の接合を導電位または逆バイアス状態にすることで、電流オフ状態にさせることで、チャンネルの漏れ電流を低減することができる。

【0049】ここでは P 型基板を用いた実施例をもとに動作を説明したが、反対導電型を用いたときには、バイアス条件を反転させることで、同様に動作させることができる。

【0050】以下、図 27 から図 35 を用いて形成法を基に説明する。図 27 はマスクパターンを示す平面図である。それぞれの形成工程における特徴を示すため、図 28 から図 31 は、図 27 の B-B 線での断面構造で、その後の工程を説明する図 32 から図 35 では、図 27

9

のA-A線での断面構造で示す。

【0051】(図28) P型シリコン単結晶基板(1500)上に厚さ30Åの薄い酸化膜を熱酸化により形成し、気相成長法(Chemical Vapor Deposition法 以下CVD法)により、シリコン窒化膜を200nm堆積する。図28において1550で示したアクティブ領域を既知のホトレジスト法を用いてパターンニングし、レジストをマスクに該シリコン窒化膜を異方的にエッチングする。このシリコン窒化膜をマスクにボロンをイオン打ち込みした後、熱酸化し素子分離を行なう600nmの酸化膜を選択的に成長させる。シリコン窒化膜および窒化膜の下に形成していた薄い酸化膜をウエットエッチングにより除去することでアクティブ領域を形成する。

【0052】(図29) 上記基板上に熱酸化により厚さ6nmのゲート絶縁膜を形成し、フローティングゲートとなる多結晶シリコン1110をCVD法により150nm堆積する。該多結晶シリコン層1110にイオン打ち込み法を用いてリンを $1 \times 10^{20} \text{cm}^{-3}$ ドーピングする。

【0053】(図30) 上記基板上に図27の1111で示した、アクティブ領域を囲むようにレイアウトしたフローティングゲートパターンをパターンニングし、多結晶シリコン層1110を異方性エッチングにより加工する。

【0054】(図31) フローティングゲートの多結晶シリコン表面を酸化し、CVD法によりシリコン窒化膜を堆積し、酸化膜換算で20nmの厚さを持つ積層絶縁膜1910を形成する。CVD法を用いて高濃度にリンを含むことで導電化した多結晶シリコン1120を200nm堆積する。

【0055】(図32) 図27の制御ゲートパターン1120を用いて、多結晶シリコン層1120を絶縁膜1910まで異方的にエッチングし、さらに、1910およびフローティングゲート層1110をエッチングすることで、フローティングゲートおよび制御ゲートの積層ゲート構造を形成する。

【0056】(図33) 図27において1250で示したマスクパターンを用いてイオン打ち込みし、ゲートの両側にそれぞれソースでは $3 \times 10^{20} \text{cm}^{-3}$ 、ドレインには $5 \times 10^{18} \text{cm}^{-3}$ の砒素をドーピングする。アニール処理により不純物を活性化した後、ボロンをドレイン側にイオン打ち込みしアニールすることで、 $6 \times 10^{20} \text{cm}^{-3}$ 濃度のベース電極1320を形成する。

【0057】(図34) 上記基板上にCVD法によりシリコン酸化膜(図中省略)を50nm堆積してから、リンガラスを200nm堆積させ、無機塗布材を用いて平坦化した層間絶縁膜を既知の方法で形成する。制御ゲート1120、ベース1320、ソース1200にコンタクトを開口する。

10

【0058】(図35) それぞれの電極にタングステンを用いて配線することで、実施例の構造を得ることができる。

【0059】本実施例構造では、1310、1320間で発生したキャリアは1310と1320の接合付近からトンネルしてフローティングゲート1110に注入される。(図36)このとき注入されたキャリアの絶縁膜中での捕獲は、主に拡散層電極1310内部で引き起こされる。読みだし時のトランジスタ特性は、拡散層1200-1310間のチャネル特性で決まるため、これら捕獲キャリアの効果は拡散層によりマスキングすることができる。従来構造では、図38、39に示すように、セル情報を読みだすため重要なトランジスタのチャネル部でキャリアの捕獲が行なわれるため、大きな特性変動を引き起こす問題があった。本構造では、この問題を解決することができることは明らかである。

【0060】図40に、実施例1の構造において、PN接合に拠らない書き込み素子構造を示す。チャネル電界で加速されたキャリアおよび、これらキャリアが引き起こすアバランシェ現象により高エネルギー状態のキャリアを発生させ、記憶部600に書き込み動作することができる。このとき、チャネル部でキャリアをトンネルさせるため、上述の特性変動の問題がある。図41に示すように注入部と選択トランジスタを分けることで特性変動を低減することができる。またこの構造を用いることで、複数の入力ゲート(200A、200B)から一つの記憶部600への書き込みを行なうことができる。

【0061】

【発明の効果】本発明構造では、選択トランジスタと書込素子を形成することで記憶部の電極を絶縁膜で覆うことが可能となり電荷がリークすることがない。

【図面の簡単な説明】

【図1】本発明実施例1の素子構造を示す素子断面構造図である。

【図2】DRAMセルを示す等価図である。

【図3】本発明構造の書込素子を示す等価図である。

【図4】本発明構造のメモリセルを示す等価図である。

【図5】本発明構造の書込素子構造図である。

【図6】書込素子動作特性説明図である。

【図7】書込素子動作特性説明図である。

【図8】本発明実施例1の素子形成工程を示す素子断面構造図である。

【図9】本発明実施例1の素子形成工程を示す素子断面構造図である。

【図10】本発明実施例1の素子形成工程を示す素子断面構造図である。

【図11】本発明実施例1の素子形成工程を示す素子断面構造図である。

【図12】本発明実施例1の素子形成工程を示す素子断面構造図である。

11

【図 1 3】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 1 4】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 1 5】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 1 6】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 1 7】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 1 8】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 1 9】本発明実施例 1 の素子形成工程を示す素子断面構造図である。

【図 2 0】本発明実施例 2 の素子形成工程を示す素子断面構造図である。

【図 2 1】本発明実施例 2 の素子形成工程を示す素子断面構造図である。

【図 2 2】本発明実施例 2 の素子形成工程を示す素子断面構造図である。

【図 2 3】本発明実施例 2 の素子形成工程を示す素子断面構造図である。

【図 2 4】本発明実施例 2 の素子形成工程を示す素子断面構造図である。

【図 2 5】本発明実施例 1 のメモリセル配置を示すセルアレイ等価図である。

【図 2 6】本発明実施例 3 の素子構造を示す模式素子構造図である。

【図 2 7】本発明実施例 3 の平面レイアウトを示す素子平面図である。

【図 2 8】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 2 9】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 3 0】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 3 1】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 3 2】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 3 3】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 3 4】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

12

【図 3 5】本発明実施例 3 の素子形成工程を示す素子断面構造図である。

【図 3 6】本発明実施例 3 のメモリセル動作説明図である。

【図 3 7】本発明実施例 3 のメモリセル動作説明図である。

【図 3 8】本発明実施例 3 に対応する従来メモリセル動作説明図である。

【図 3 9】本発明実施例 3 に対応する従来メモリセル動作説明図である。

【図 4 0】本発明実施例 4 のメモリセル動作説明図である。

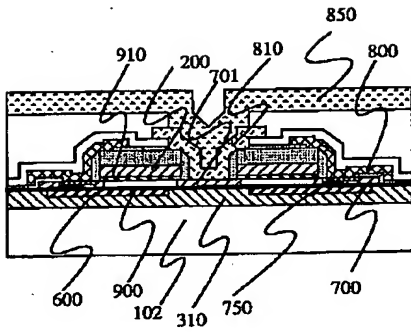
【図 4 1】本発明実施例 5 のメモリセル動作説明図である。

【図 4 2】本発明実施例におけるメモリセル動作説明図である。

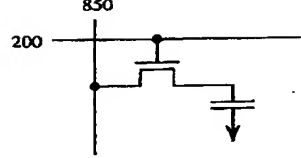
【符号の説明】

1 0 0、1 0 1、1 0 2…シリコン単結晶、
2 0 0…ワード線（ゲート電極）、
3 0 0、3 1 0、3 2 5、3 5 0、3 6 0、3 6 5、3
7 0…シリコン酸化物層、
3 8 2…シリコン窒化膜、
6 0 0…蓄積電極（記憶部）、
7 0 0、7 0 1、7 5 0…拡散層電極、
8 0 0…プレート線、
8 1 0…ビット線接続層、
8 5 0…ビット線、
9 0 0…トンネル絶縁膜、
9 1 0…ゲート絶縁膜、
1 1 1 0…フローティングゲート、
1 1 1 1…フローティングゲート加工パターン、
1 1 2 0…制御ゲート、
1 2 0 0…ソース、
1 2 5 0…イオン打ち込みマスク、
1 3 1 0…ドレイン、
1 3 2 0…ベース、
1 5 0 0…基板、
1 5 5 0…アクティブパターン、
1 6 1 0…ベース配線、
1 6 2 0…ソース配線、
1 9 1 0…積層絶縁膜、
1 9 2 0…ゲート絶縁膜、
1 9 5 0…酸化膜。

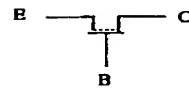
【図1】



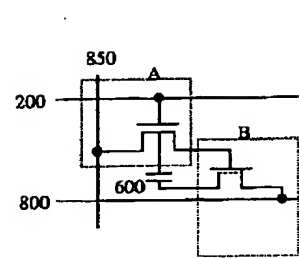
【図2】



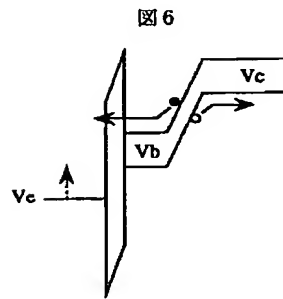
【図3】



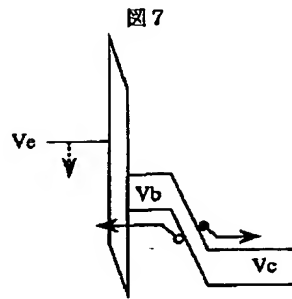
【図4】



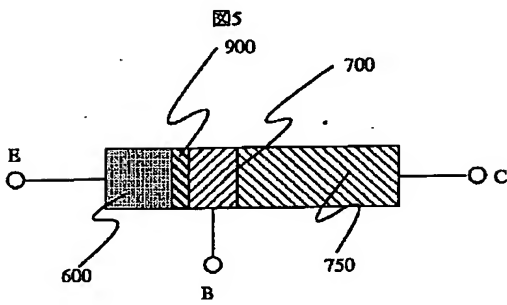
【図6】



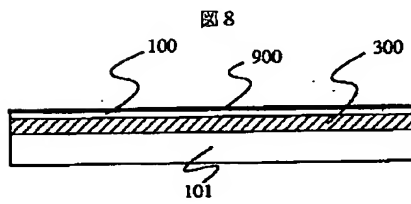
【図7】



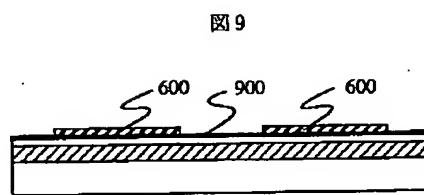
【図5】



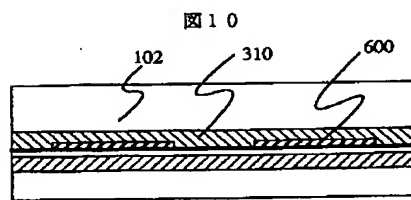
【図8】



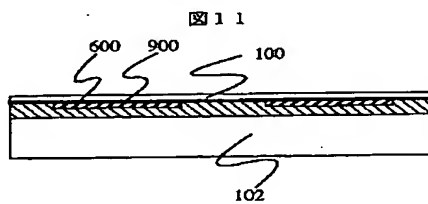
【図9】



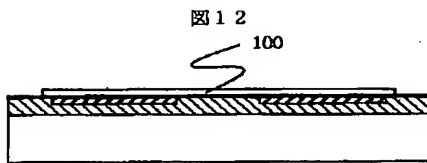
【図10】



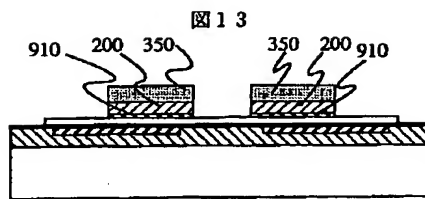
【図11】



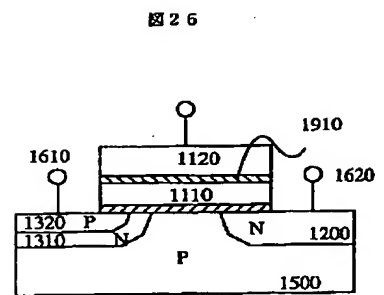
【図12】



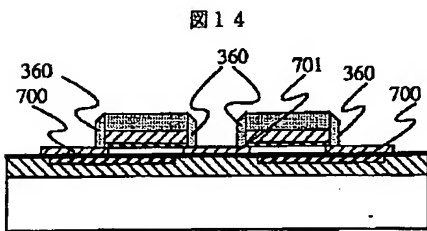
【図13】



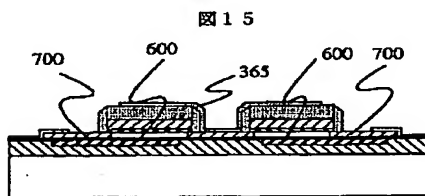
【図26】



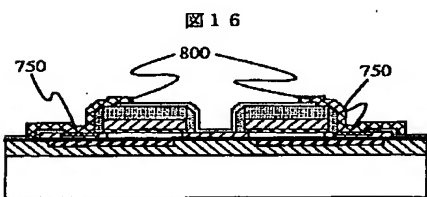
【図14】



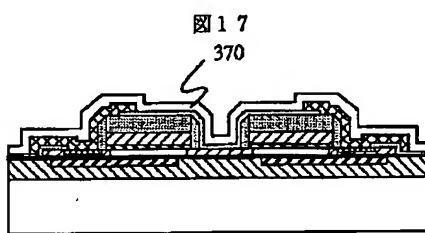
【図15】



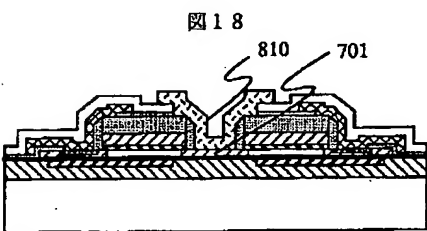
【図16】



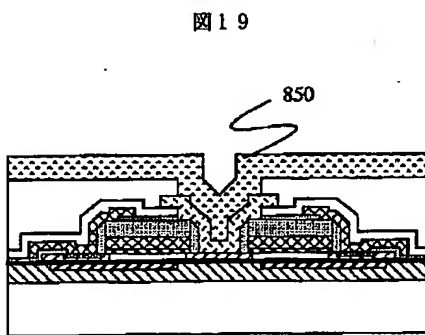
【図17】



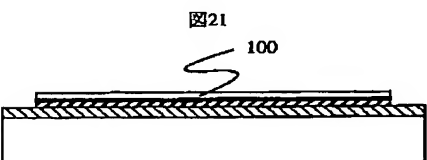
【図18】



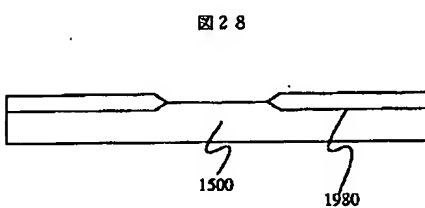
【図19】



【図21】

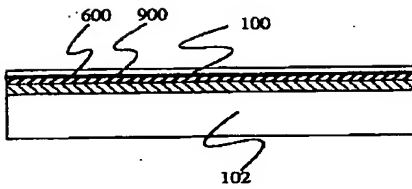


【図28】



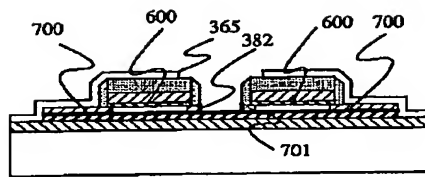
【図20】

図20



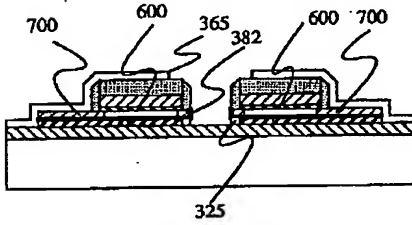
【図22】

図22



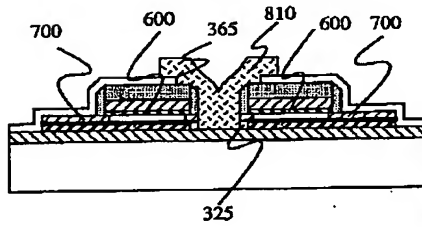
【図23】

図23



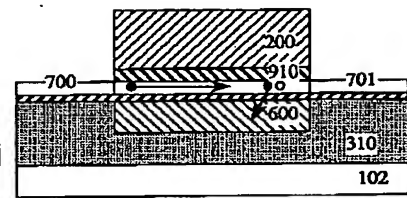
【図24】

図24



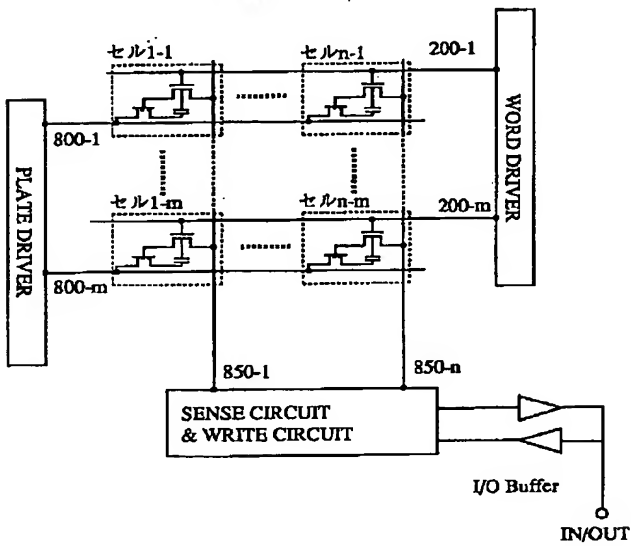
【図40】

図40



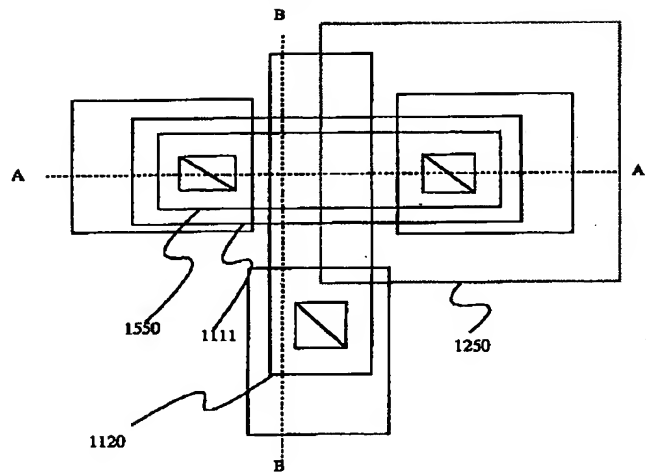
【図25】

図25



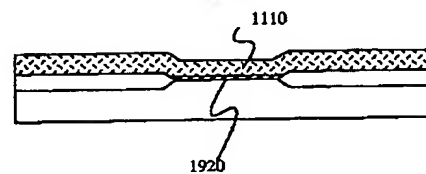
【図27】

図27

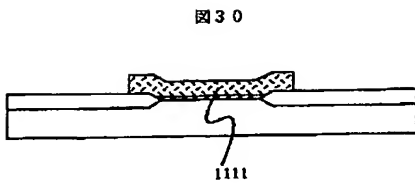


【図29】

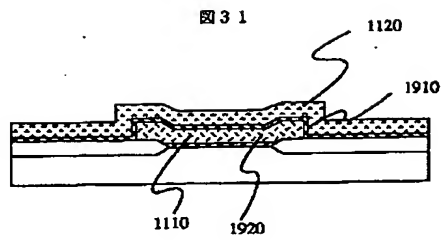
図29



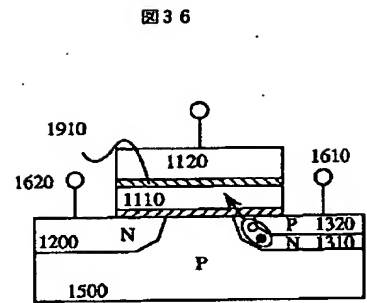
【図 30】



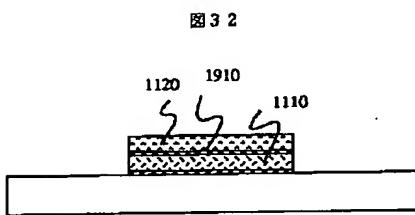
【図 31】



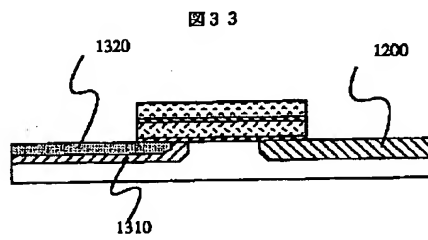
【図 36】



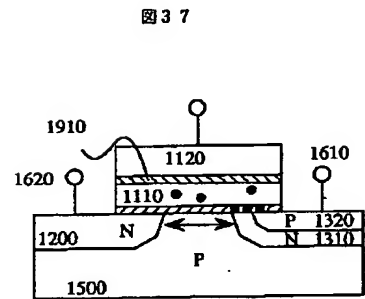
【図 32】



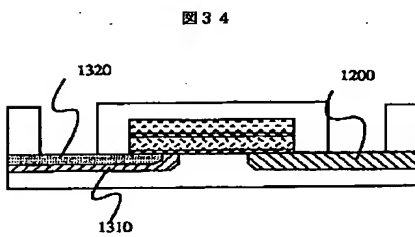
【図 33】



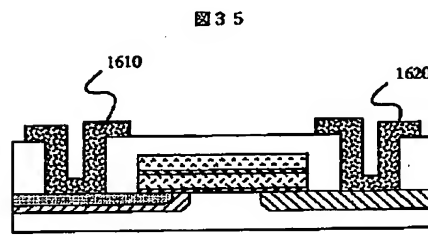
【図 37】



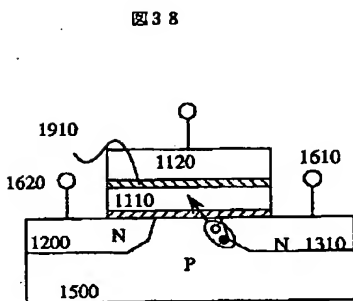
【図 34】



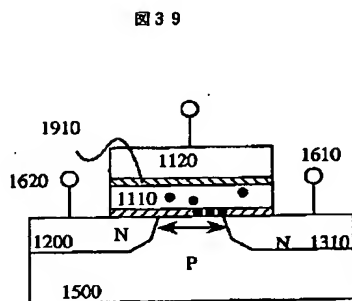
【図 35】



【図 38】

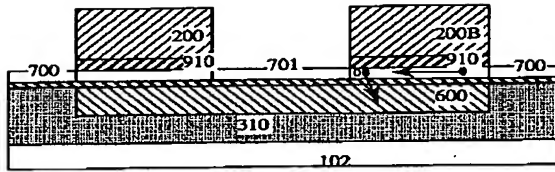


【図 39】



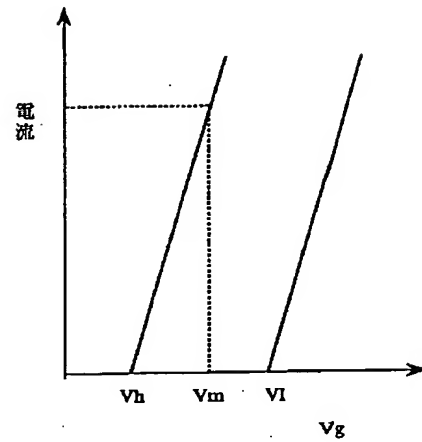
【図 4 1】

図 4 1



【図 4 2】

図 4 2



フロントページの続き

(72) 発明者 相良 和彦
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
(72) 発明者 木村 紳一郎
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内

(72) 発明者 武田 英次
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
(72) 発明者 南 眞一
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内